

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-010999

(43)Date of publication of application : 19.01.1993

(51)Int.Cl.

G01R 31/00
G02F 1/13
G02F 1/1343

(21)Application number : 03-019547

(71)Applicant : TOKYO ELECTRON LTD

(22)Date of filing : 18.01.1991

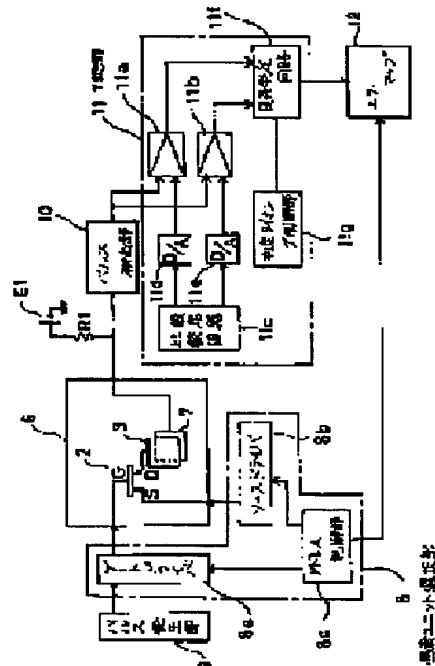
(72)Inventor : IINO SHINJI

(54) INSPECTION METHOD FOR LIQUID CRYSTAL DISPLAY PLATE AND THE SYSTEM

(57)Abstract:

PURPOSE: To save the process after finding a fault by inspecting an LCD(liquid crystal display) plate before charging the liquid crystal without touching the picture element unit.

CONSTITUTION: Inspection electrodes 7 are arranged face to face by way of capacity components on picture element electrodes 3. Each TFT (thin film transistor) 2 for example, on the LCD plate 6 is selected in a matrix method and a pulse is impressed on the gate electrodes of the selected TFT 2. The pulse 10 transmitted to the inspection electrode 7 side through the capacity components is detected with a pulse detector 10. By comparing the pulse peak value, for example, with a preset value based on the detected pulse at the judgement part 11, the quality of the picture element is judged.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/00		7808-2G		
G 0 2 F 1/13	1 0 1	8806-2K		
1/1343		9018-2K		

審査請求 未請求 請求項の数 2(全 5 頁)

(21)出願番号 特願平3-19547

(22)出願日 平成 3年(1991) 1月18日

(71)出願人 000219967

東京エレクトロン株式会社

東京都新宿区西新宿 2 丁目 3 番 1 号

(72)発明者 飯野 伸治

東京都新宿区西新宿 2 丁目 3 番 1 号 東京
エレクトロン株式会社内

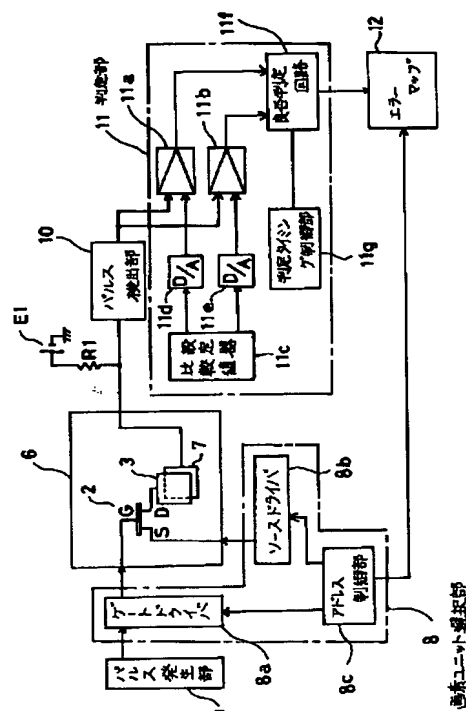
(74)代理人 弁理士 井上 俊夫

(54)【発明の名称】 液晶ディスプレイ基板の検査方法及びそのシステム

(57)【要約】

【目的】 液晶を封入する前にLCD（液晶ディスプレイ）基板を画素ユニットの対して非接触の状態では検査し、不良があったときにその後の工程を無駄にしないこと。

【構成】 画素電極 3 に容量成分を介して検査電極 7 を対向するように配置する。そしてLCD基板 6 上の例えば各 TFT（薄膜トランジスタ）2 をマトリクス方式で選択し、選択された TFT 2 のゲート電極にパルスを加する。そして前記容量成分を介して検査電極 7 側に伝送されたパルスを実検出部 10 で検出し、判定部 11 にて検出パルスに基づき例えばそのパルスのピーク値を予め設定した設定値と比較することにより、当該画素ユニットの良否を判定する。



【特許請求の範囲】

【請求項1】 スイッチング素子および画素電極を組み合わせた画素ユニットを多数基板上に配置し、画素電極と対向電極との間に封入される液晶の印加電圧をスイッチング素子により制御するようにした液晶ディスプレイ基板を検査する方法において、

画素電極に容量成分を介して対向するように検査電極を設け、画素ユニット群の中から順次に画素ユニットを選択して当該画素ユニットについて、スイッチング素子にパルスを印加して画素電極及び容量成分を介して検査電極に伝送し、検査電極側から検出したパルスに基づいて当該画素ユニットの良否を判定することを特徴とする液晶ディスプレイ基板の検査方法。

【請求項2】 スイッチング素子および画素電極を組み合わせた画素ユニットを多数基板上に配置し、画素電極と対向電極との間に封入される液晶の印加電圧をスイッチング素子により制御するようにした液晶ディスプレイ基板を検査するシステムにおいて、画素電極に容量成分を介して対向するように設けられた検査電極と、パルスを発生するパルス発生部と、画素ユニット群の中から順次に画素ユニットを選択して、当該画素ユニットのスイッチング素子に前記パルスを印加する画素ユニット選択部と、前記パルス印加時に検査電極側に現れた信号に基づいて当該画素ユニットの良否を判定する判定部とを設けたことを特徴とする液晶ディスプレイ基板の検査システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶ディスプレイ基板の検査方法及びそのシステムに関するものである。

【0002】

【従来の技術】 TFT（薄膜トランジスタ）を用いたLCD（液晶ディスプレイ）は非常に優れた高画質を提供してくれるものとして注目されている。

【0003】 この種のLCD基板は、図4に模式的に示すようにガラス基板1上にTFT2を形成すると共に、例えばそのドレイン電極に電気的に接続した画素電極3を、当該TFT2と隙間を介して配置し、このように組み合わされた画素ユニットUを多数配列してなるものであり、例えば一辺が数百 μm 程度の角形の画素ユニットが数十万個配列されている。そしてこの基板上に隙間を介して各画素ユニットに共通な透明電極4を対向して配列し、さらに前記隙間に液晶5を封入することによってLCDが構成される。

【0004】 ところでLCD基板におけるパターンの微細化が進み、大容量になればなる程、製造プロセス中の微粒子などに起因して、例えばTFTのゲート、ドレイン間などのオープンショートや配線パターンと画素電極とのショートといった欠陥が発生しやすくなり、このためLCDの各画素ユニットについて液晶封入前に動作確

認を行う必要がある。

【0005】 一方LCD基板のTFTのゲート電極、ソース電極の配線は外に出ているが、通常ドレイン電極は液晶を通じて透明電極に結合されている。ここでLCD基板上に検査用の電極を立てて動作確認を行うことは基板を傷つけてしまうので実際上不可能であり、従ってTFTの動作確認試験は液晶を封じ込めた後でなければ行うことができなかった。そこで従来ではLCDを検査する方法として、LCDの完成後に画面をオン、オフさせて各画素ユニットの光のオン、オフを目視または光学系のモニタなどで判断する方法が主流となっていた。

【0006】

【発明が解決しようとする課題】 しかしながらこうした検査方法は、検査で不良を見つけても液晶封入後であるためリペアすることができない。このため液晶封入工程が無駄になり、しかもLCDは非常に高価なものであるため、その歩留まりの低下により大きな損失を被ることになる。

【0007】 また光学系のモニタが高価であり、液晶動作のスピードにより検査時間の制限を受けるといった問題もある。

【0008】 本発明はこのような事情のもとになされたものであり、その目的は、液晶を封入する前にLCD基板を傷つけることなく検査することができ、不良があっても液晶封入工程を無駄にすることがなく、またリペアすることも可能であるLCD基板の検査方法及びそのシステムを提供することにある。

【0009】

【課題を解決するための手段】 請求項1の発明は、画素電極に容量成分を介して対向するように検査電極を設け、画素ユニット群の中から順次に画素ユニットを選択して当該画素ユニットについて、スイッチング素子にパルスを印加して画素電極及び容量成分を介して検査電極に伝送し、検査電極側から検出したパルスに基づいて当該画素ユニットの良否を判定することを特徴とする。

【0010】 請求項2の発明は、画素電極に容量成分を介して対向するように設けられた検査電極と、パルスを発生するパルス発生部と、画素ユニット群の中から順次に画素ユニットを選択して、当該画素ユニットのスイッチング素子に前記パルスを印加する画素ユニット選択部と、前記パルスの印加時に検査電極側に現れた信号に基づいて当該画素ユニットの良否を判定する判定部とを設けたことを特徴とする。

【0011】

【作用】 例えばマトリクス方式で順次に各画素ユニットを選択し、スイッチング素子として例えばTFTを用いた場合、選択された画素ユニットのTFTのゲート電極にパルスを印加する。そして容量成分を介して検査電極に伝送されたパルスを検出し、例えば正側、負側のピーク値に基づいて当該画素ユニットの良否を判定する。

【0012】

【実施例】以下本発明の実施例を図面を参照しながら説明する。

【0013】本発明の実施例では、図1に示すようにLCD基板6の各画素ユニットの画素電極3に容量成分を介して対向するように検査電極7を設ける。具体的には例えば図2に示すようにガラス基板1の裏面に各画素ユニット毎に検査電極7を設け、各検査電極7を互いに電気的に接続してこれらを共通電極とし、これにコモン端子（図示せず）を接続して当該コモン端子から後述するパルスが取り出される。そしてこの実施例では、例えばLCD基板6に設けられている各TFTの2ゲート電極G及びソース電極Sの配線パターンを利用してアドレスを制御するようにしており、具体的にはゲート電極Gの番地を選択するゲートドライバ8aとソース電極Sの番地を選択するソースドライバ8bと、これらドライバ8a、8bにアドレス信号を与えるアドレス制御部8cとを設けている。これらドライバ8a、8bとアドレス制御部8cは、本発明における画素ユニット選択部8に相当するものであり、LCD基板6の画素ユニット群の中から例えば画素ユニットを一個づつ順次選択し、選択した画素ユニットのTFT3について、ソース電極Sとアース間、及びゲート電極Gと図1のパルス発生部9間を接続し、パルス発生部9で発生したパルスを当該TFT3に与える。

【0014】さらに前記TFT3のドレイン電極Dには、負側を接地した電極E1の正側が抵抗R1を介して接続されると共に、パルス検出部10及び判定部11がこの順に接続されている。

【0015】ここで図3は、TFT3が選択されたときの接続状態、及びパルス検出部10のハード構成の一例を示す図であり、画素電極3と検査電極7との容量結合は、コンデンサCにより等価的に示してある。この例では、コンデンサCとの抵抗R1の接続点Pに現れた電圧信号は、抵抗R2を介してバッファアンプ10aに与えられ、ここで低インピーダンスとされて抵抗R3を通じてアンプ10bに与えられ、増幅されて後段の判定部に11に送られる。R4、R5は抵抗である。

【0016】前記判定部11は、例えば2つのコンパレータ11a、11bと、これらの比較値をデジタル値で設定する比較値設定器11cと、前記比較値をD/A（デジタル/アナログ）変換するD/A変換器11d、11eと、コンパレータ11a、11bの出力値に基づいて画素ユニットの良否を判定する良否判定回路11fと、この良否判定回路11fの判定タイミングをとるための判定タイミング制御部11gとから構成されている。前記良否判定回路11fの後段には、エラーマップ12が設けられ、このエラーマップ12は、良否判定回路11f及びアドレス制御部8cよりの信号に基づいて、選択された画素ユニットと判定結果とを対応づけて

書き込むものである。

【0017】次に上述実施例の作用について述べる。

【0018】先ずアドレス制御部8cからアドレス信号を発生させ、この信号を受けてゲートドライバ8aは、そのアドレスに対応するTFT3のゲート電極Gとパルス発生部9とを接続してパルスを当該ゲート電極Gに印加すると共に、ソースドライバ8bは、そのTFT3のソース電極Sをアースに接地して電源E1の電圧をドレイン電極D、ソース電極S間に与え、以って当該TFT3を駆動する。

【0019】そして画素電極3から容量成分を介して検査電極7側に送られたパルスをパルス検出部10で検出し、その検出パルスをコンパレータ11a、11bに与える。この検出パルスのレベルは、コンパレータ11a、11bにて例えば夫々正の基準値及び負の基準値と比較され、コンパレータ11a、11bの出力値の組み合わせは、例えば判定タイミング制御部11gからのラッチ信号によりラッチされその状態に基づいて良否が判定される。その結果はエラーマップ12にて、選択された画素ユニットのアドレスと対応づけて書き込まれる。

【0020】ここで、良否を判定するためには、例えば予め図3に示すハード構成の回路を組み、例えばゲート電極G、ソース電極S間を所定の大きさの抵抗で接続することにより模擬的にショート状態を作りだし、各ショート状態における図3中の点Pのパルスを検出しておき、その検出パルスのレベルを調べておいて各コンパレータ11a、11bの基準値を設定するといった方法を採用することができる。

【0021】以上において本発明では、検査電極としてガラス基板の裏面に検査電極を設けたものを用いることに限定されるものではなく、例えばLCD基板上にシートを載せ、このシートの上に検査電極としての共通電極を置くようにしてもよい。

【0022】また画素ユニットを選択するにあたっては、画素ユニット群をいくつかのグループに分割し、各グループ毎に画素ユニットを一括して検査するようにしてもよい。さらに良否を判定する場合に、ある基準データと比較する代わりに、その一つ前の検査におけるデータと比較し、不一致が生じたときに当該検査に係る画素ユニットが不良であると判定することもできる。

【0023】なお本発明では、マトリクス方式により画素ユニットを選択することに限定されないが、マトリクス方式によれば、画素数が増加しても検査ノード数は多くならず、分割試験も可能である。

【0024】

【発明の効果】本発明によれば、画素電極に容量成分を介して対向するように検査電極を設け、これを利用してLCD基板の検査を行うようにしているため、液晶封入前に検査を実施することができ、従って不良箇所を見つけた場合には、レーザカットなどによりリペアすること

【図3】 図1のシステムの一部のハード構成の回路図で

1 1 判定部

Figure 1 is a cross-sectional view of a liquid crystal display (LCD) device. The structure consists of a glass substrate (1) at the bottom, which supports a TFT (2) and a common electrode (3). A liquid crystal layer (5) is sandwiched between the common electrode (3) and a transparent electrode (4) at the top. A voltage U is applied across the liquid crystal layer between the TFT and the common electrode.

【図1】

